

Graduate School of Fundamental Science and Engineering
Waseda University

博士論文審査報告書
Doctoral Dissertation Review Report

論文題目
Dissertation Title

Hardware Optimization of Stochastic Computing

ストカスティックコンピューティングのハードウェア最適化

申請者
(Applicant Name)
Ryota ISHIKAWA
石川 遼太

Department of Computer Science and Communications Engineering Research on Information
System Design

2022/02

スマートフォンに代表されるモバイル機器の流通や、電子マネー、自動運転に見られるように、我々の身の回りでは多数のハードウェア機器が利用され、大規模データ処理が実現されている。加えて **FPGA(Field-Programmable Gate Array)** や組み込みプロセッサなどプログラム可能な部品が半導体チップに組み込まれることで、我々自身がこれらのハードウェア機器をプログラムしデータ処理することも可能となっている。ハードウェア機器上にアプリケーションプログラムを実現しデータ処理する際、実現するアプリケーションプログラムにより、必ずしも高い精度の演算が必要となるとは限らない。例えば、画像処理では、誤差を含む演算が実行されたとしても、その誤差が画像として認識できないことがしばしば起こり得る。機械学習でも同様に、誤差を含む処理が実行された場合でも識別結果に大きな影響を与えない場合がある。大規模なハードウェア回路による「精度の高い演算」に比較して、小規模なハードウェア回路による「誤差を含む演算」の方が、大規模化かつ複雑化するデータ処理には却って効率が良い場合が多々あり得る。概算計算 (**approximate computing**) は、こうした背景から近年、高い注目を集めている計算技術である。

ストカスティック計算 (**stochastic computing**) は、概算計算の一種であり、演算に誤差を許容することで、ハードウェア規模の大幅な縮小化を実現するものである。ストカスティック計算は、数値をストカスティック数 (**stochastic number**) と呼ぶビット列で表現する。ストカスティック数とはビット列中において「1」が現れる割合によって数値を表現するものであり、ストカスティック数同士の乗算は 1 つの論理積ゲートによって表現でき、またストカスティック数同士の加算は 1 つの選択ゲートによって表現できる。つまり主要な算術演算がごく単純なハードウェアで実現されることになる。さらにストカスティック数はビット列中において 1 が現れる割合によって数値を表現するため、ビット列を大きく取れば、誤差を許した上で、伝送路上のノイズにも強い数値表現を実現できる。

一方、ストカスティック計算においては 2 つの大きな問題点がある。1 つ目の問題はストカスティック数の複製である。一般に複雑な演算を実行するには、同じストカスティック数を複数の論理ゲートに入力する必要があるが、このときにストカスティック数の複製が不可欠となる。ストカスティック数を複製するには、一旦、ストカスティック数を通常のバイナリ数で表現し、その後、再度、ストカスティック数を再生成することになるが、このような方法ではハードウェアコストが高く、レイテンシも大きい。しかも、複製されたストカスティック数同士に相関があると期待通りの演算が実現できず、許容できない大きな誤差の要因となる。2 つ目の問題は、ストカスティック計算において非連続な関数を表現する点にある。一般にストカスティック計算によって連続関数を表現する方法はいくつも提案されているが、ステップ関数など実用上よく知られる非連続関数をストカスティック数を用いて表現する方法やこれらの評価結果は知られていない。

以上の背景のもと，本論文では，ストカスティック計算において，効率の良いストカスティック数の複製器の生成手法とストカスティック数を用いた非連続関数の実現と評価に焦点を当て，さまざまな観点からこれらについて論じている．

本論文は，以下の 5 章より構成される．

第 1 章では，本論文の背景と目的および概要をまとめている．

第 2 章では，2 種類のストカスティック数複製器を提案している．提案する複製器は，FSR (Flip-flop Selecting circuit using a Random bit stream) 複製器と RRR (Register based Re-arrangement circuit using a Random bit stream) 複製器と呼ばれ，ストカスティック数を入力すると，入力と値は等しく，相関が少なく，なおかつ異なるビット列のストカスティック数を生成するものである．FSR 複製器も RRR 複製器も，ストカスティック数を与えると，ビットシリアルにストカスティック数を複製するため，十分に短いレイテンシが実現され，さらにハードウェアコストも小さい．複数の関数に対して，提案した FSR 複製器と RRR 複製器とを評価した結果，真値と比較し十分に誤差を小さくしたストカスティック演算が可能であることを確認している．とりわけ，RRR 複製器は，真値と比較して誤差が小さいことを確認している．

第 3 章では，第 2 章で提案された RRR 複製器を拡張し， 2^n RRR 複製器を提案している． 2^n RRR 複製器は，1 個の RRR 複製器を基本単位とし， n 個の RRR 複製器を構成したものであり，ハードウェアコストと精度をスケラブルに両立することを可能とする．理論的に n の値を大きくし，ストカスティック数を表現するビット数を大きくすることで，誤差を小さくした演算が実現できる．実際に提案した 2^n RRR 複製器を用いていくつかの関数を表現し評価した結果， n の値ならびにストカスティック数を表現するビット数の増加に伴い，真値と比較して誤差が小さくなっていることを確認している．

第 4 章では，ストカスティック数を用いた非連続関数の表現を提案している．非連続関数としてステップ関数を取り上げ，これをストカスティック数によって表現し，さらに複数のステップ関数を組み合わせることで，さまざまな非連続関数を表現している．実験評価を通じて誤差評価を行うと同時に，ストカスティック数を表現するビット列が十分に長ければ，提案する表現は真の非連続関数に限りなく近づくことも理論的に証明している．

第 5 章では，本論文全体を統括している．

以上が本論文の概要であるが，本論文では，概算計算の中でもストカスティック計算に焦点を当て，中でも重要かつ最大の問題 2 点，ストカスティック数の複製とストカスティック数による非連続関数表現について効率の良いハードウェア構成を提案し理論的・実験的な評価を行っている．これらの成果は，高度情報通信社会に不可欠となる概算計算技術の発展に寄与するところが大きい．よって本論文は博士（工学）早稲田大学の学位論文として価値あるものと認める．

2022年2月

審査員 主査 早稲田大学教授 博士(工学)早稲田大学 戸川 望

早稲田大学教授 工学博士(早稲田大学) 柳澤政生

早稲田大学教授 博士(工学)早稲田大学 木村啓二
