

Graduate School of Fundamental Science and Engineering
Waseda University

博士論文審査報告書
Doctoral Dissertation Review Report

論文題目
Dissertation Title

Studies on Evaluation Platforms for DRAM/NVMM Heterogeneous and Secure
Computing Memory Systems

DRAMとNVMMによるヘテロジニアスメモリシステム及びセキュアコンピューティングメモリシステム評価環境の研究

申請者
(Applicant Name)
Yu OMORI
大森 侑

Department of Computer Science and Communications Engineering Research on Advanced Processor
Architecture

February, 2023

DRAM ベースのメモリモジュールは、コンピュータシステムに求められる計算能力の向上に応じ、その記憶容量、アクセス速度、及び消費電力の各面で向上を続けてきた。しかしながら、半導体微細化技術の限界と共に、DRAM メモリモジュールの記憶容量増大が困難となりつつある。そのため、DRAM 以外の記憶素子も併せ持つヘテロジニアス構成のメモリシステムが注目されている。特に PCRAM 等の不揮発性メモリ素子によるバイトアクセス可能なメモリモジュールは、NAND フラッシュメモリよりもアクセス性能が高く、また DRAM に比較してデータ保持に電力消費を必要としないという特性により、ヘテロジニアスなメモリシステムの構成要素として最有力視されている。

不揮発性メインメモリ (Non-Volatile Main Memory: NVMM) の利用対象としては、大容量の主記憶かつ障害耐性が求められるデータセンタが挙げられ、これを対象とした既存研究も多く存在する。その一方で、組み込みシステムにおいても障害耐性が求められることはもちろん、バイトアクセス可能なことから通常のロード・ストア命令で直接データを保存できる NVMM は利用価値が高い。

しかしながら、NVMM の効率的な利用にはいくつかの課題がある。例えば、通常 CPU のメモリアクセス命令はキャッシュ上のデータに対して行われ、アクセス時間の大きい主記憶を極力アクセスしないようになっている。すなわち、NVMM によるデータ保持の機能を利用するにはキャッシュから主記憶への明示的な書き込み処理が必要となる。しかしながら、通常 NVMM は書き込み処理に要する時間と消費電力が比較的大きい。

また、NVMM は電源遮断後もデータを保持し続けるという性質より、データの盗聴や改ざんのリスクが DRAM よりも高い。そのため、Intel SGX のような NVMM 上データの暗号化や完全性保証といったセキュリティ保証のための機能がデータセンタ及び組み込みシステム双方で重要であるが、これらの機能により書き込みコストがさらに大きくなる。

このような NVMM 利用上の課題を解決するためにはハードウェアだけではなく、アプリケーション、コンパイラ、及び OS まで含めたシステム全体の評価に基づいた取り組みが必要である。コンピュータシステムの評価には、通常、ソフトウェアによるシミュレータが用いられる。しかしながら、ソフトウェアシミュレータは柔軟な構成が実験可能であることと引き換えに長大なシミュレーション時間を要する。また、NVMM を利用可能な実システムは極めて限られており、特に組み込み用途では皆無である。

以上の背景のもと、本論文では FPGA 上に構築した DRAM と NVMM によるヘテロジニアスメモリシステム及びセキュアなメモリシステムのハードウェアシミュレータを提案している。さらに、提案したハードウェアシミュレータをオープンソースで提供した。

本論文は以下の 5 章より構成される。

第 1 章では、従来研究の流れを概観しつつ本論文の背景と目的を示している。

第 2 章では、ARM SoC のハードコアを対象とした DRAM/NVMM ヘテロジニアスメモリシステムのハードウェアシミュレータを提案している。本章ではまず、NVMM のレイテンシモデルを粗粒度、細粒度、及び DCPMM の 3 つのモデルに分類している。粗粒度モデルは従来の DRAM の動作モデルをベースとして、NVMM に特徴的なレイテンシを CPU のロー

ド・ストア命令の単位で挿入するモデルである。細粒度モデルも同じく DRAM の動作モデルをベースとするが、レイテンシはメモリコントローラが発行するコマンドレベルで挿入する。さらに、DCPMM は商用化された NVMM である Intel DC Persistent Memory のレイテンシを模擬するモデルである。本章ではこれらのモデルを FPGA 上に実装し、既存の NVMM のソフトウェアシミュレータ及び Intel DC Persistent Memory を持つ実機と比較することで各モデルの正当性を検証し、さらに SPEC CPU 2017 を用いて評価を行った。評価の結果、NVMM の有効利用のためにはデータのローカリティを引き出しメモリモジュール内部のバッファを活用すること、及びメモリモジュール内部のバンク並列性を引き出すことが重要であることを明らかにした。

第 3 章では、RISC-V のソフトコアを対象とした DRAM/NVMM ヘテロジニアスメモリシステムのハードウェアシミュレータを提案している。FPGA 用ハードコアが利用できない場合はソフトコアを利用するが、その動作速度はハードコアよりも遅く、第 2 章で提案した細粒度モデルではメモリコントローラが規定する時間制約を満たせない。そこで本章では、ソフトコアの処理速度で機能するメモリコントローラへの遅延挿入モデルである、拡張細粒度モデルを提案している。さらに本章では、RISC-V ではサポートされていないキャッシュライン単位のデータ追い出し命令を RISC-V コアに実装した。提案の拡張細粒度モデルを第 2 章の粗粒度及び DCPMM モデルと共に FPGA 上に実装し、マイクロベンチマークと SPEC CPU 2017 により動作検証し、RISC-V ソフトコアでもこれらの動作モデルによるシミュレーションが可能であることを示した。

第 4 章では、DRAM/NVMM のヘテロジニアスメモリシステムを持つセキュアなコンピュータハードウェアシミュレータを提案している。本シミュレータはメモリ保護機構 (Memory Protection Engine: MPE) を持ち、これにより主記憶上データの暗号化、及びハッシュ木による完全性保証を実現する。ハッシュ木の実現には多くのハードウェア資源を要するが、少ないハードウェア資源で広いメモリ領域の完全性保証を実現し、かつ複数メモリリクエストを並列処理するため、本章ではハッシュ木の動的ルート割り当てを提案し MPE に組み込んでいる。本シミュレータを FPGA 上で実装し評価した結果、MPE により DRAM の読み書きがそれぞれ 2.55 倍・4.16 倍、DCPMM モデルではそれぞれ 3.05 倍・5.40 倍となり、ハードウェア及びソフトウェアのシステム全体を通じた今後の最適化の重要性を示した。

第 5 章では本論文全体を総括している。

以上を要するに、本論文ではヘテロジニアスなメモリシステム、及び主記憶上データのメモリ保護機構のハードウェアシミュレータを提案し、かつこれらをオープンソースで提供している。これらの成果は、将来のメモリシステムのハードウェアのみならずアプリケーション、コンパイラ、及び OS まで含めたシステム全体の高速かつ高精度な評価による最適なシステム設計を可能とし、情報理工・情報通信分野の発展に大きく寄与するものと考えられる。よって本論文は博士 (工学) 早稲田大学の学位論文として価値あるものと認める。

2023年2月
審査員

主査 早稲田大学教授 博士（工学） 早稲田大学 木村啓二

早稲田大学教授 工学博士 早稲田大学 笠原博徳

早稲田大学教授 博士（工学） 早稲田大学 戸川望
